

DIALOG(R)File 352:DERWENT WPI
(c)1999 Derwent Info Ltd. All rts. reserv.

001093953

WPI Acc No: 74-J0285V/197440

Scanning appts. for matrix display panel - gives moving half-tone images
from short coded video signals, with fine brightness control

Patent Assignee: MATSUSHITA ELEC IND CO LTD (MATU)

Number of Countries: 004 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
US 3838209	A	19740924				197440 B	
GB 1396486	A	19750604				197523	
DE 2329523	B	19751211				197551	
CA 995784	A	19760824				197637	

Priority Applications (No Type Date): JP 7294771 A 19720920; JP 7257493

A 19720608; JP 7262204 A 19720620; JP 7262212 A 19720620

Title Terms: SCAN; APPARATUS; MATRIX; DISPLAY; PANEL; MOVE; HALF;
TONE; IMAGE; SHORT; CODE; VIDEO; SIGNAL; FINE; BRIGHT; CONTROL

Derwent Class: W02; W03; W04

International Patent Class (Additional): H04N-003/12; H04N-005/70

File Segment: EPI

Best Available Copy

This Page Blank (up to)
Best Available Copy

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 1999 European Patent Office. All rts. reserv.

7773467

Basic Patent (No,Kind,Date): DE 2329523 A1 731220 <No. of Patents: 015>

PATENT FAMILY:

CANADA (CA)

Patent (No,Kind,Date): CA 995784 A1 760824

SCANNING APPARATUS FOR A MATRIX DISPLAY PANEL (English; French)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): TSUCHIYA MITSU HARU; SATO TERUO; TAKEDA

HITOSHI; YOSHIYAMA MASAMI

Priority (No,Kind,Date): JP 7257493 A 720608; JP 7262204 A

720620; JP 7262212 A 720620; JP 7294771 A 720920

Applic (No,Kind,Date): CA 173611 A 730608

National Class: * CA 340-174

Language of Document: English; French

GERMANY (DE)

Patent (No,Kind,Date): DE 2329523 A1 731220

ABTASTEINRICHTUNG FUER BILDSCHIRMNETZWERKE (German)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): TSUCHIYA MITSU HARU (JP); SATO TERUO (JP); TAKEDA

HITOSHI (JP); YOSHIYAMA MASAMI (JP)

Priority (No,Kind,Date): JP 7257493 A 720608; JP 7262204 A

720620; JP 7262212 A 720620; JP 7294771 A 720920

Applic (No,Kind,Date): DE 2329523 A 730606

IPC: * H04N-003/12

Language of Document: German

Patent (No,Kind,Date): DE 2329523 B2 751211

ABTASTEINRICHTUNG FUER EINE BILDPLATTE (German)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): TSUCHIYA MITSU HARU (JP); SATO TERUO (JP); TAKEDA

HITOSHI (JP); YOSHIYAMA MASAMI (JP)

Priority (No,Kind,Date): JP 7257493 A 720608; JP 7262204 A

720620; JP 7262212 A 720620; JP 7294771 A 720920

Applic (No,Kind,Date): DE 2329523 A 730606

IPC: * H04N-003/14

Language of Document: German

Patent (No,Kind,Date): DE 2329523 C3 760715

ABTASTEINRICHTUNG FUER EINE BILDPLATTE (German)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): TSUCHIYA MITSU HARU (JP); SATO TERUO (JP); TAKEDA
HITOSHI (JP); YOSHIYAMA MASAMI (JP)
Priority (No,Kind,Date): JP 7257493 A 720608; JP 7262204 A
720620; JP 7262212 A 720620; JP 7294771 A 720920
Applic (No,Kind,Date): DE 2329523 A 730606
IPC: * H04N-003/14
Language of Document: German

GREAT BRITAIN (GB)

Patent (No,Kind,Date): GB 1396486 A 750604
DISPLAY APPARATUS (English)
Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD
Priority (No,Kind,Date): JP 7257493 A 720608; JP 7262204 A
720620; JP 7262212 A 720620; JP 7294771 A 720920
Applic (No,Kind,Date): GB 7327526 A 730608
IPC: * H04N-003/12
Language of Document: English

JAPAN (JP)

Patent (No,Kind,Date): JP 49018217 A2 740218
Priority (No,Kind,Date): JP 7257493 A 720608
Applic (No,Kind,Date): JP 7257493 A 720608
IPC: * H04N-003/12

Language of Document: Japanese

Patent (No,Kind,Date): JP 49022815 A2 740228
Priority (No,Kind,Date): JP 7262204 A 720620
Applic (No,Kind,Date): JP 7262204 A 720620
IPC: * H04N-003/12

Language of Document: Japanese

Patent (No,Kind,Date): JP 49022816 A2 740228
Priority (No,Kind,Date): JP 7262212 A 720620
Applic (No,Kind,Date): JP 7262212 A 720620
IPC: * H04N-003/12

Language of Document: Japanese

Patent (No,Kind,Date): JP 49052598 A2 740522
Priority (No,Kind,Date): JP 7294771 A 720920
Applic (No,Kind,Date): JP 7294771 A 720920
IPC: * H04N-003/12

Language of Document: Japanese

Patent (No,Kind,Date): JP 77036372 B4 770914
Priority (No,Kind,Date): JP 7257493 A 720608
Applic (No,Kind,Date): JP 7257493 A 720608
IPC: * H04N-003/14; G06K-015/18

Language of Document: Japanese

Patent (No,Kind,Date): JP 77040931 B4 771015
Priority (No,Kind,Date): JP 7262212 A 720620
Applic (No,Kind,Date): JP 7262212 A 720620
IPC: * H04N-003/14; G06K-015/18; H04N-005/70
Language of Document: Japanese
Patent (No,Kind,Date): JP 78000895 B4 780112
Priority (No,Kind,Date): JP 7262204 A 720620
Applic (No,Kind,Date): JP 7262204 A 720620
IPC: * H04N-005/66; G06K-015/18
Language of Document: Japanese
Patent (No,Kind,Date): JP 78042208 B4 781109
Priority (No,Kind,Date): JP 7294771 A 720920
Applic (No,Kind,Date): JP 7294771 A 720920
IPC: * H04N-005/66; G06K-015/18
Language of Document: Japanese

UNITED STATES OF AMERICA (US)

Patent (No,Kind,Date): US 3838209 A 740924
SCANNING APPARATUS FOR A MATRIX DISPLAY PANEL (English)
Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD
Author (Inventor): TAKEDA H; YOSHIYAMA M; TSUCHIYA M; SATO T
Priority (No,Kind,Date): JP 7262212 A 720620; JP 7294771 A 720920; JP 7257493 A 720608; JP 7262204 A 720620
Applic (No,Kind,Date): US 367184 A 730605
National Class: * US 178007300D
IPC: * H04N-005/70
Derwent WPI Acc No: * G 74-J0285V
Language of Document: English



⑨ 日本国特許庁

公開特許公報

訂正有り

特 許 願 (6)

昭和 47 年 9 月 20 日

特許庁長官殿

1 発明の名称 **マトリクス表示装置**
2 発明者 **松下電器産業株式会社**
住 所 **大阪府門真市大字門真1006番地**
松下電器産業株式会社内
氏 名 **土 屋 清**
(ほか3名)

3 特許出願人 **松下電器産業株式会社**
住 所 **大阪府門真市大字門真1006番地**
(582) **松下電器産業株式会社**
氏 名 **松 下 正 治**
4 代 理 人 **〒 571**
住 所 **大阪府門真市大字門真1006番地**
松下電器産業株式会社内
氏 名 **(5971) 弁理士 中 尾 敏 男**
(3311)
(12) 電話番号(045)3111111(2線)

5 添付書類の目録
(1) 明 細 書 1 通
(2) 図 面 1 通
(3) 委 任 状 1 通
(4) 願 書 副 本 1 通

47 091771

⑪特開昭 49-52598

⑬公開日 昭49.(1974) 5. 22

⑭特願昭 47-94771

⑮出願日 昭47.(1972) 9. 20

審査請求 未請求 (全5頁)

庁内整理番号

⑫日本分類

7013 54 101 E5
7323 56 97m B4
7170 55 97m F0

明 細 書

1. 発明の名称

マトリクス表示装置

2. 特許請求の範囲

互いに直交して設けた複数のX軸電極と複数のY軸電極、およびそれらの交点で発光すべき部分で構成されるマトリクス表示装置と、上記装置のX軸電極を逐次選択して駆動するためのX軸駆動パルスを与えるX軸駆動回路と、上記装置のY軸電極を逐次選択して駆動するためのY軸駆動回路とを有する表示装置において、選択されたX軸電極とY軸電極の交点で発光すべき部分の輝度制御を行なうために、みづけた多数ビットの輝度制御パルスを与えるY軸駆動回路と、上記輝度制御パルスをさらに重畳信号に分けるためのスイッチ回路と、上記Y軸駆動回路の出力信号を重畳信号に分割するようその重畳信号内を分割するためのスイッチ回路とよりなり、上記重畳信号をみづけた多数ビットをさらに分割した輝度制御パルスはその重畳信号内で重畳信号にわたって引換

2

えて与えることにより輝度制御をするよう構成したことを特徴とするマトリクス表示装置。

3. 発明の具体的な説明

本発明は輝度制御をデジタル信号で行なうマトリクス表示装置に關するものであり、その目的とするところは少ないビット容量でより多段階の中間調の輝度制御ができるマトリクス表示装置を提供することにある。

一般にマトリクス表示装置では、画像の小量化や動作を安定化するため輝度制御電極への制御信号をデジタル化することが望ましい。輝度制御信号の重畳方法としてはパルス数による重畳、パルス巾による重畳等が考えられる。中でもその動作が安定でしかも比較的多数段階の輝度制御が簡単な回路構成をもって実現できる方法としては、たとえば3ビットのメモリレジスタの出力信号により、パルス巾を重畳みつけた3個の異なる輝度制御パルスを逐次して取出し、3個のパルスによる組合せて一定期間内での発光時間割合を多段階に制御して輝度制御する方法が考えられる。これを

第1図及び第2図により説明する。

第1図はY軸を輝度制御電圧とし映像信号レベルを3ビットのデジタル信号として輝度制御するようにしたマトリクス表示装置を示すものである。図中においてマトリクス表示板1は互に直交するn本のX軸電極 $X_1, X_2, X_3, \dots, X_n$ とm本のY軸電極 $Y_1, Y_2, Y_3, \dots, Y_m$ 、その交点に配された発光素子で構成され、X軸電極回路2において1本ずつX軸電極が選択される。その選択されたX軸電極にはX軸パルス発生部2の各ブロック(2-1), (2-2), (2-3)……(2-n)によりX軸駆動パルスが与えられる。一方Y軸駆動信号はY軸電極回路3のY軸駆動回路 $D_1, D_2, D_3, \dots, D_m$ を通して各Y軸電極 $Y_1, Y_2, Y_3, \dots, Y_m$ に与えられる。一方Y軸電極回路3の輝度制御回路は3個の2入力ナンドゲート回路を1組として構成されている。すなわち、Y軸電極 Y_1 の輝度制御回路はナンドゲート回路 GA_1, GB_1, GC_1 からなり、その出力信号はY軸電極回路 D_1 を通してY軸電極 Y_1 に印加される。

B_m (以下単にBで示す)のみが論理値「1」のときは、輝度制御パルス CP_b のパルス期間だけ、またメモリレジスタ $C_1, C_2, C_3, \dots, C_m$ (以下単にCで示す)のみが論理値「1」のときは輝度制御パルス CP_c のパルス期間だけY軸電極に駆動信号が与えられる。すなわちメモリレジスタのうちの2個、たとえばレジスタAとBが論理値「1」になり同Cのみが論理値「0」であると、輝度制御パルス CP_a, CP_b のパルス期間を通じて対応するY軸電極には駆動信号が与えられる。このようにして上記構成の装置では、3個のメモリレジスタに書込まれた内容により8段階の異なる合計時間巾による駆動信号をY軸電極に与えることができ、8段階の輝度制御が可能となる。なお第2図は8段階の輝度レベルについて1X軸選択期間 t_x 内の輝度制御パルスとY軸駆動信号の状態を示しており、同図における輝度レベルとメモリレジスタA, B, Cの論理値との関係は次表に示す通りである。

そして他のY軸電極 Y_2, Y_3, \dots, Y_m についても同様にそれぞれ3個のナンドゲート回路と1個のY軸電極回路とが接続されており、3個のゲート回路のいずれか1個でも論理値が1になるとその出力信号により駆動回路が導通し、導通されているY軸電極に駆動信号が与えられるようになっている。一方各ゲート回路の入力信号の1個である輝度制御パルスは、第2図に示すようにX軸電極の1本が選択されている一定期間 t_x を7等分した時間を1として輝度制御パルス CP_a, CP_b, CP_c のパルス巾比が1:2:4となるように重みづけをして与える。たとえばゲート回路 $GA_1, GA_2, GA_3, \dots, GA_m$ ではメモリレジスタ $A_1, A_2, A_3, \dots, A_m$ (以下単にAで示す)と輝度制御パルス CP_a との論理値がとられるので、メモリレジスタのうちの1個 A_m のみが論理値「1」のときは輝度制御パルス CP_a のパルス期間だけY軸電極 Y_m に駆動信号が与えられ、Y軸電極 Y_m と選択駆動されているX軸電極との交点の発光素子のみが発光する。同様にしてメモリレジスタ B_1, B_2, \dots

輝度レベル	メモリレジスタ		
	A	B	C
0	0	0	0
1	1	0	0
2	0	1	0
3	1	1	0
4	0	0	1
5	1	0	1
6	0	1	1
7	1	1	1

以上の表から明らかなように上記の輝度制御を行なう装置によれば、たとえば3ビットのデジタル信号で輝度制御するときは巾及び位置の異なる3個のパルスを選択的にとり出して発光素子に駆動信号を与えるようにするので輝度制御のための回路構成はメモリレジスタとゲート回路のみとなり、その動作は安定して集積回路の採用により小型化も可能である。しかしここで問題となるのは広い輝度範囲にわたって意図した中間調を表示

するようになす制御など、特に通常のナレビジョン信号により映像表示しようとする映像の暗い部分を制御するに代わって狭いパルス巾の信号から明るい部分を制御する広いパルス巾の信号まで忠実に制御せねばならぬことである。すなわち、3ビット程度のデジタル信号ではビット数不足で満足な制御はできないのである。ビット数を単に大巾に増大することは回路構成が著しく複雑となり、消費電力が大増大になって、しかも消費電力が大きくなってしまふ。このようなことからその利用化が不適当である。

本発明は以上のような従来の欠点を除去すべくなされたもので、その目的とするところは簡単な回路構成であつて近似的な段階の輝度制御ができ、暗いレベルの映像から明るいレベルの映像まで一様に正確な輝度制御できるようにしたマトリクス表示装置を提供することにある。すなわち本発明ではたとえば3ビットのデジタル信号で輝度制御するに代つて、輝度制御を複数回に分けて行ない、しかも巾を積みつけた3回の輝

度制御パルスのパルス巾を各回毎に変化させることにより輝度制御される階級数を複数倍とするもので、一定時間内の発光時間合計を広い範囲で変化させることが可能となる。

以下本発明にかかる装置の一実施例について図面により説明する。第3図は1水平走査期間中2回の輝度制御を行なうようにした、この実施例を示す構成図、第4図はその動作説明図である。

第3図において、その構成と第1図に示したそれとの異なるところは、3回の輝度制御パルス CP_a 、 CP_b 、 CP_c がスイッチ回路 SW_a 、 SW_b 、 SW_c によつて切換えられているところにある。又各メモリレジスタ A 、 B 、 C の入力信号 SA 、 SB 、 SC がスイッチ回路 SW_{A1} 、 SW_{A2} 、 SW_{A3} 、 \dots 、 SW_{Am} 、 SW_{B1} 、 SW_{B2} 、 SW_{B3} 、 \dots 、 SW_{Bm} 、 SW_{C1} 、 SW_{C2} 、 SW_{C3} 、 \dots 、 SW_{Cm} によつて切換えられるところにある。そしてこれらすべてのスイッチ回路はスイッチ制御信号 SWC に同期して切換えられるところにある。動作においては輝度制御を2回に分けて行なうところが異なっている。これは1本のX軸が通

釈の中される時間 t_x 中に2回の輝度制御ができるので通常のナレビジョン信号の映像表示等に有利である。いま1回目の輝度制御をたとえば t_x の前部で行うものとするときスイッチ制御回路 SWC が1回目を指定する時間 t_{swc1} と2回目を指定する時間 t_{swc2} の関係は第4図のようになり、時間 t_{swc1} では狭いパルス CP_{a1} 、 CP_{b1} 、 CP_{c1} を発生して暗いレベルでの輝度制御や明るいレベルでの細かな輝度制御の制御に使用され、時間 t_{swc2} では1回目より広いパルス CP_{a2} 、 CP_{b2} 、 CP_{c2} が発生し明るいレベルでの輝度制御に使用される。よつてこの装置においては、輝度制御はパルス巾の小さい輝度制御パルスからパルス巾の大きなものまでの階級のパルスの組合せて発光素子の発光時間合計を制御することになり、暗いレベルの映像から明るいレベルの映像まで0.4階級内で細かく制御することができる。また、メモリレジスタ A 、 B 、 C の内容もスイッチ制御信号 SWC に同期して期間 t_{swc1} と期間 t_{swc2} で切換え、はじめの期間 t_{swc1} での各メモリレジスタ A 、 B 、 C への書き込み信号 SA 、

SB 、 SC は輝度制御パルス CP_{a1} 、 CP_{b1} 、 CP_{c1} のパルス巾に対応して、映像信号レベルが3ビットのデジタル信号に変換されたものであり、期間 t_{swc2} での各メモリレジスタ A 、 B 、 C への書き込み信号 SA 、 SB 、 SC は輝度制御パルス CP_{a2} 、 CP_{b2} 、 CP_{c2} のパルス巾に対応して、映像信号レベルが3ビットのデジタル信号に変換されたものである。したがつて輝度制御は1本のX軸電極が選択駆動される t_x 時間内に2回、すなわち1回目は期間 t_{swc1} で、2回目は期間 t_{swc2} でそれぞれ行なわれ、この2回の発光の合成された明るさで発光輝度は決定される。したがつて実際に輝度制御するために使用されるメモリレジスタや輝度制御ゲートは3ビット構成であるが、その輝度制御能力は6ビット分に相当し狭いパルス巾の信号から広いパルス巾に至る広い範囲にわたつて一様にパルス巾を制御することが可能となる。なお本実施例について、各々のメモリレジスタにスイッチ回路を出さして信号を切換えて書き込むように説明したが、実際の回路構成ではメモリレジスタ

目にもまた短いシフトレジスタ構成にして図面の Y 軸分の信号を直列に書込むこともできる。このメモリレジスタに他のシフトレジスタの出力信号を直列に書込むように構成することによりスイッチ回路をきわめて小さくすることができる。また読出制御パルスのパルス印の切換えについては 3 個の読出制御パルス CP_A 、 CP_B 、 CP_C の全てについて行ない、かつ各メモリレジスタへの書込み信号の切換えも 3 ビット分 SA 、 SB 、 SC の全てについて行なうように説明してきたが、これはその一部分たとえば 3 ビットの中の 1 ビット SA と 1 個の読出制御パルス CP_A についてのみ切換ええるようにして、それなりの効果が得られることは明白である。

以上の説明から明らかなように本発明のマトリクス表示装置によれば、市および行番がそれぞれ異なる 3 種の読出制御パルスについてその市および行番を変えて複数回にわたって読出制御するとともに、同装置構成は 3 ビットであっても等価的に書込倍のビット数に相当する読出制御が可能となり、

きわめて狭いレベルの読出を表示する狭いパルスから明かいレベルの幅分を表示する広いパルスまで広範囲にわたって一様に制御することができ、より明確な映像表示が可能となる。また読出制御パルスのパルス印の切換えと同時にメモリレジスタの内容も切換ええるようにすることにより、その X 軸電極が選択制御されている期間内でも複数の読出制御が可能で、メモリレジスタや読出制御ゲートのある構成が 3 ビットであってもその複数倍のビット数に相当する読出制御が可能となる。

したがって、簡単な回路構成をもって映像信号の狭いレベルから明かいレベルにまでわたって広範囲に中間調を表示することができるすぐれたマトリクス表示装置を提供することができる。

4. 装置の簡単な説明

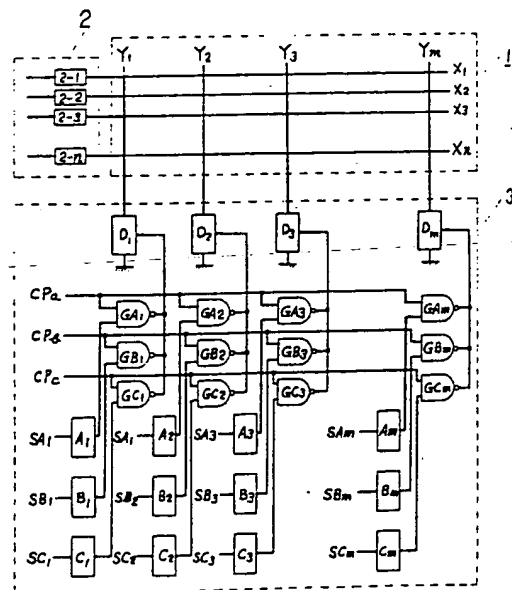
第 1 図は本発明のマトリクス表示装置の構成図、第 2 図はその動作説明図、第 3 図は本発明にかかるマトリクス表示装置の一例構成を示す構成図、第 4 図はその動作説明図である。

1 …… 基基板、2 …… X 軸走査回路、3 …… Y

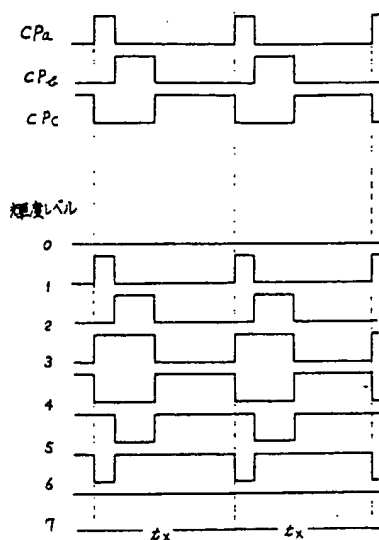
軸走査回路、 D_1 、 D_2 、 D_3 …… D_n …… Y 軸走査回路、 GA_1 、 GA_2 、 GA_3 …… GA_m …… 読出制御ゲート回路、 A_1 、 A_2 、 A_3 …… A_m 、 B_1 、 B_2 、 B_3 …… B_m 、 C_1 、 C_2 、 C_3 …… C_m …… メモリレジスタ、 SW_A 、 SW_B 、 SW_C 、 SW_A 、 SW_B 、 SW_C …… スイッチ回路。

代表人の氏名 井澤士 中 尾 敏 男 ほか 1 名

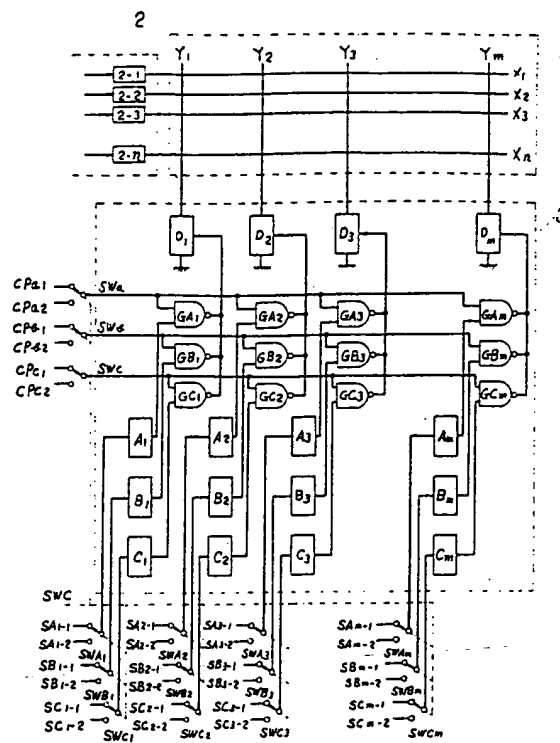
第 1 図



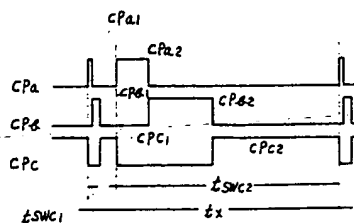
第 2 図



第 3 図



第 4 図



6 前記以外の発明者および代理人

(1) 発明者

大阪府門真市大字門真1006番地

松下電器産業株式会社内

氏名 竹 田 ヒロシ

住所 同 所

氏名 山 本 政 三

住所 同 所

(2) 代理人

大阪府門真市大字門真1006番地

松下電器産業株式会社内

氏名 (6152) 弁理士 栗野 重孝

手続補正書

昭和53年2月23日

特許法第17条の2による補正の掲載

昭和47年特許願第94771号(特開昭
49-42490号 昭和49年4月22日
発行公開特許公報49-426号掲載)につ
いては特許法第17条の2による補正があったので
下記の通り掲載する。

庁内整理番号	日本分類
7013 44	101 E4
7323 46	97(B)4
7170 44	97(F)0

特許庁長官殿

1 事件の表示

昭和47年特許願第94771号

2 発明の名称

マトリクス表示装置

3 補正をする者

事件との関係 特許出願人
住 所 大阪府門真市大字門真1006番地
名 称 (582) 松下電器産業株式会社
代 理 者 山 下 俊 彦

4 代理人 〒571

住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏 名 (5971) 弁理士 中 尾 敏 男
(ほか1名)

(通称先 電話(東京)437-1121 特許分室)

5 補正の対象

明細書の特許請求の範囲の欄
明細書の発明の詳細な説明の欄
明細書の図面の簡単な説明の欄

6. 補正の内容

- (1) 明細書の特許請求の範囲の記載を別紙の通り補正いたします。
- (2) 明細書第7頁第12行目の「従来装置」を「第1図に示すときマトリクス表示装置」と補正します。
- (3) 明細書第12頁第16行目の「従来のマトリクス表示装置の」を「マトリクス表示装置の原理的」と補正します。

2. 特許請求の範囲

複数のX軸電極と複数のY軸電極を有するマトリクス表示板と、前記X軸電極またはY軸電極のいずれか一方の電極を順次走査する駆動回路と、前記X軸電極またはY軸電極の他方の電極の各々に与える輝度制御信号を記憶する複数ビットの記憶回路を有し、この記憶回路のビット数の複数倍のビット数からなるデジタル信号で構成されスイッチ回路により1本の走査電極が選択駆動されている間に複数回に分けて切換えられて与えられる輝度制御信号を前記記憶回路は次の切換えまで記憶し、かつ、その記憶された信号の各ビットに重みづけして各輝度制御用電極の表示輝度を制御するための複数個の制御信号もスイッチ回路により前記輝度制御信号の切換えと同期して切換えて与えるように構成された輝度制御回路を具備してなるマトリクス表示装置。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.